



2183
2609

In re application of: KUO-HUANG KENG et al.

Application No.: 09/940,352

Filed: August 27, 2001

AN IMAGE PROCESSING
ARCHITECTURE AND AN IMAGE
PROCESSING METHOD FOR HIGH
SPEED SCANNER

For:

Examiner:

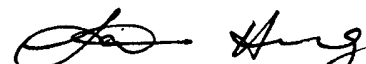
Art Unit:

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

December 5, 2001

(Date)


Jiawei Huang, Reg. No. 43,330

RECEIVED

FEB 04 2002

Technology Center 2600

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 89117337 filed on August 28, 2000.

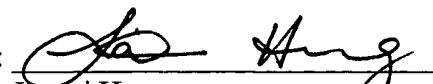
A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA6282). A duplicate copy of this sheet is enclosed.

Date:

12/5/2001

By:


Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents

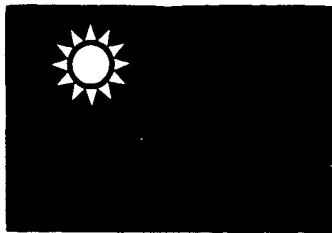
4 Venture, Suite 250

Irvine, California 92618

(949) 660-0761

JCLF16282

09/940,352



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereund

申 請 日：西元 2000 年 08 月 28 日
Application Date

申 請 案 號：089117337
Application No.

申 請 人：瑞昱半導體股份有限公司
Applicant(s)

RECEIVED

FEB 04 2002

Technology Center 2600

局 長
Director General

陳 明 邦

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2001 年 10 月
Issue Date

發文字號：09011015341
Serial No.

申請日期	
案 號	89112337
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	快速掃瞄器之影像處理架構及影像處理方法
	英 文	
二、發明 創作人	姓 名	耿國光
	國 籍	中華民國
	住、居所	新竹科學園區工業東九路 2 號
三、申請人	姓 名 (名稱)	瑞昱半導體股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學園區工業東九路 2 號
	代 表 人 姓 名	葉博任

裝

訂

線

四、中文發明摘要(發明之名稱：

快速掃描器之影像處理架構及影像處理方法

一種快速掃描器之影像處理架構及影像處理方法，適用於處理自類比訊號處理器所輸出之影像資料。本影像處理架構具有乒乓緩衝區，數位控制器，影像資料儲存區以及快取記憶體。乒乓緩衝區具有數個緩衝列，任一個緩衝列都可用以儲存影像資料。數位控制器用以處理影像資料。影像資料儲存區儲存用以校正影像資料的校正要件以及影像資料經校正後所得的校正後影像。快取記憶體儲存自影像資料儲存區所取得的校正要件，並提供此校正要件以使本影像處理架構可以根據校正要件校正前述的影像資料。

英文發明摘要(發明之名稱：

五、發明說明()

本發明是有關於一種快速掃描器的架構及方法，且特別是有關於一種快速掃描器之影像處理架構及影像處理方法。

以往在掃描器的運作速度方面，由於在掃描器中使用的電荷耦合元件(Charge Couple Device, CCD)產生的資料量約為每秒 1 百萬像素(Mega Sample Per Second, MSPS)到 3MSPS，再加上常用的傳輸管道，例如：通用系統匯流排(Universal System Bus, USB)，的傳輸速率約為 1MSPS，因此，若以不失真的壓縮方式來產生高達兩倍的資料流量來算，此類的掃描器傳輸速度大概就是 2MSPS 左右。在這樣的資料傳輸速率之下，習知技術所使用的影像處理架構以及影像處理方法大致上可以提供足夠的資料輸出量來利用所有的輸入/輸出頻寬。

隨著新的傳輸管道標準，如：USB2.0 或 IEEE1394 的推出，以往被視為掃描器影像資料輸出瓶頸之傳輸管道的資料傳輸速率已經大為提升。此外，新型的 CCD 如採用交錯式排列(pixel-rate)方式運作，可使得 CCD 的資料輸出量可以高達 18MSPS 以上，這也較以往高出許多。然而，由於習知技術所使用的影像處理架構與方法並沒有隨之改進，因此整體的資料處理速度並沒有隨著資料的輸入速率與輸出速率的提高而有相對應的進步。

請參照第 1 圖，其顯示了習知技術所使用的影像處理架構與相對應的影像處理方法。其中，由 CCD(或接觸影像感應器，Contact Image Sensor, CIS)110 產生的影像資料被輸入到類比訊號處理器(Analog Signal Processor, ASP)115

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

之中。而類比訊號處理器 115 所輸出的影像資料則輸入到數位控制器(Digital Controller)120 之中，並由數位控制器 120 根據自掃描器之動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)130 中所取得的校正要件來處理這些影像資料。其中，這裡所稱的校正要件是用來校正影像資料所用的參數，例如：直流偏壓(DC offset)DC，明暗增益(shading gain)SH，以及灰度調整 Gamma 等。此外，為了預防由於資料產生的速率比資料傳輸到主機的速率快而導致資料流失，因此在影像資料經過處理之後，數位控制器 120 就會先將處理過的影像資料儲存於 DRAM 130 內，之後再於資料傳輸通道可以傳輸資料的時候將這些影像資料傳輸到主機內。

然而，上述習知掃描器所使用的影像處理架構及影像處理方法有數項缺失。首先，數位控制器 120 在處理影像資料校正的時候(例如：DC/SH 或 Gamma 等)，類比訊號處理器 115 就不能往數位控制器 120 傳輸資料。所以限制了 CCD/CIS 110 的輸出率。此外，由於在習知技術中，經過數位處理器 120 進行影像資料校正處理之後的資料會以非交錯式排列(non pixel-rate)的方式儲存於 DRAM 130 之中，因此當 DRAM 130 中的資料傳送到主機後，還必須依靠主機中的軟體將這些以非交錯式排列的資料做線差補正並轉換成以交錯式排列(pixel-rate)方式表示的資料，如此影像資料才能正確的顯示出來。

綜上所述，現將習知技術的數項缺失簡述如下：

1. 數位控制器在處理影像資料校正的速度限制了

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

CCD/CIS 的輸出率，而導致整個掃描過程時間加長；以及

2.DRAM 中的資料在傳送到主機後，還必須依靠主機中的軟體將這些以非交錯式排列的資料轉換成經過線差補正並以交錯式排列方法表示的資料，這樣的操作模式將耗費電腦中央處理器的計算能力，延遲了影像的顯示。

有鑒於此，本發明提出一種快速掃描器之影像處理架構，適用於以數位控制器處理自類比訊號處理器所輸出之影像資料。此影像處理架構具有一個乒乓緩衝區，一個影像資料儲存區以及一個快取記憶體。其中，乒乓緩衝區具有數個緩衝列，任一個緩衝列都可以儲存前述的影像資料。影像資料儲存區則儲存用以校正影像資料的校正要件，以及儲存影像資料根據此校正要件校正後所得的校正後影像。快取記憶體儲存自影像資料儲存區取得的校正要件，並提供此校正要件以使影像處理架構可以根據此校正要件校正前述的影像資料。除此之外，本影像處理架構還可以包括另一個快取記憶體以做為線差補正交錯排列資料的工作區。

本發明還提出一種掃描器之影像處理方法，其適用於處理自類比訊號處理器所輸出之影像資料。本影像處理方法首先儲存輸入之影像資料於數個緩衝列中之任一個(通常二個緩衝列已足夠)，並將處理此影像資料所需要之校正要件讀取進入一塊快取記憶體中。之後再根據此校正要件校正影像資料，並將校正此一影像資料時，自類比訊號處理器所接收到之後續的影像資料，儲存在另一個緩衝列中。之後，則於前一份影像資料校正完畢後，切換乒乓緩

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(ψ)

衝區接續以上述的方法處理後續的影像資料。

在本發明所提出的另一種掃描器之影像處理方法中，除了上述的步驟之外，還在儲存經處理後的影像資料之後，依序讀取相同原色的光度資料。並將此光度資料依照線差補正並交錯式排列(pixel-rate)的順序間隔排列於另一快取記憶體中，再把正確的資料輸出至主機。

綜上所述，本發明藉由快取記憶體以及具有多個緩衝列的乒乓緩衝區，使得在校正影像資料的時候不會導致後續影像資料產生的速度減緩而造成瓶頸。此外，還可以在掃描器硬體中直接進行影像資料的後續處理，如線差補正與圖素包裝(pixel packing)等動作，減少電腦主機所需要進行的運算動作，加快影像資料自掃描器輸出的速率。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示的是習知技術所使用的影像處理架構與相對應的影像處理方法；以及

第 2 圖繪示的是根據本發明之一較佳實施例的影像處理架構與影像處理方法。

重要元件標號

110, 210 : CCD/CIS	115, 220 : 類比訊號處理器
120, 230 : 數位控制器	130 : 動態隨機存取記憶體
200 : 影像處理架構	240 : 影像資料儲存區
242 : 校正要件儲存區	244 : 處理後影像儲存區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

- | | |
|----------------|------------------|
| 245：快取記憶體 | 250：乒乓緩衝區 |
| 253：多工器 | 255，257：緩衝列 |
| 270：影像處理裝置 | 272：DC/SH 影像處理裝置 |
| 274：Gamma 處理裝置 | 276：影像寫入裝置 |
| 278：影像讀出裝置 | 280：後續影像處理裝置 |
| 282：影像輸出裝置 | 290：主機 |

較佳實施例

請參照第 2 圖，其繪示的是依照本發明一較佳實施例的一種影像處理架構與所使用的影像處理方法。其中，影像處理架構 200 中包括有一個電荷耦合元件 (Charge Coupled Device, CCD)(或是接觸影像感應器, Contact Image Sensor, CIS)210，類比訊號處理器 (Analog Signal Processor, ASP)220，乒乓緩衝區 (Ping-Pong buffer)250，一個影像資料儲存區 240，以及快取記憶體 245 與 260。必須注意的是，在本實施例中雖然使用動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM)做為影像資料儲存區，然而這並非用以限定本發明僅能適用於使用 DRAM 的架構下。

由 CCD/CIS 210 所產生的影像資料，在經過類比訊號處理器 220 的處理之後，就會送進數位控制器 230 內的乒乓緩衝區 250 內。在本實施例中，乒乓緩衝區 250 內有兩個緩衝列 255 與 257，且任一個緩衝列 255 或 257 具有 255 個字元組 (word)。當然，這並非用以限制本發明僅能使用由兩個緩衝列所組成的乒乓緩衝區，或是限制每個緩衝列僅能包括 255 個字元組。在本實施例中，由類比訊號處理器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

220 所傳來的影像資料會先存放於緩衝列 255 中。而當緩衝列 255 中的影像資料到達一定程度時，儲存於緩衝列 255 之中的影像資料就會經由多工器(Multiplexer, MUX)253 傳送到數位控制器 230 中執行影像處理的部分，也就是影像處理裝置 270 之內。而在此同時，由類比訊號處理器 220 所送進數位控制器 230 的後續的影像資料，就會儲存於緩衝列 257 中。同樣的，當影像處理裝置 270 正在處理緩衝列 257 中所儲存的影像資料時，由類比訊號處理器 220 所送進數位控制器 230 的後續的影像資料，就會儲存於緩衝列 255 中。

當乒乓緩衝區 250 中的影像資料透過多工器 253 送進影像處理裝置 270 的時候，校正要件儲存區 242 中所儲存的校正要件，如直流偏壓(DC offset)DC，明暗增益(shading gain)SH，以及灰度調整 Gamma 等，就會由校正要件儲存區 242 中讀入至快取記憶體 245 內。而當影像處理程序開始之後，這些校正要件就逐一的被送入影像處理裝置 270 之中，以配合由多工器 253 傳輸而來的影像資料，藉 DC/SH 影像處理裝置 272 以及 Gamma 處理裝置 274 進行影像校正的動作。影像資料在經過 DC/SH 影像處理裝置 272 與 Gamma 處理裝置 274 校正後所得的校正後影像，會由影像寫入裝置 276 寫入影像資料儲存區 240 中的處理後影像儲存區 244 之內。而由於 CCD 內光電元件的排列方式，因此經由 CCD 所取得的影像資料無可避免的會有線差的狀況存在(CIS 無線差)。也就是，如同本實施例中處理後影像儲存區 244 內的儲存資料一樣，本舉例為 4 條線差 BGR 的順序。在同一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

個時間取得的影像資料，當藍色的第 1 點在第 0 條線上的時候(B₀₀)，綠色的第 1 點會在第-4 條線上(G₋₄₀，也就是還要 4 條線的距離才會到達掃描文件的掃描起始點)，而紅色的第 1 點則會在第-8 條線上(R₋₈₀，也就是還要 8 條線的距離才會到達掃描文件的掃描起始點)。其中，上述的 B₀₀(或是 G₋₄₀，R₋₈₀)的英文後的第一個數字代表的是線編號，而第 2 個數字代表的則是點編號。因此，當 CCD 前進一條線的距離時，在本實施例中藍色的第 1 點就會在第 1 條線上(B₁₀)，綠色的第 1 點就會在第-3 條線上(G₋₃₀)，藍色的第 1 點就會在第-7 條線上(R₋₇₀)。當然，必須注意的是，線差的距離及顏色的先後順序會因 CCD 本身的設計而有所變化，本實施例中所述及的狀況僅是舉例之用，並非用以限定本發明所能應用的範圍。

在要將處理後影像傳輸到主機 290 的時候，影像讀取裝置 278 會自處理後影像儲存區 244 中取得儲存於其中的校正後影像，並將此校正後影像依照線差補正及交錯式排列(pixel-rate)的順序間隔排列並儲存至快取記憶體 260 之中。也就是，在將校正後影像傳輸到主機 290 之前，就先在掃描器內進行線差補正與圖素包裝(pixel packing)的工作。當校正後影像依照交錯式排列處理完之後，影像讀取裝置 278 就會從快取記憶體 260 中將儲存的處理後的影像資料讀出，再經由影像輸出裝置 282 將此處理後的影像資料傳送到主機 290 中。

進一步舉證來說，本例類比訊號處理器為 16bits，所使用的 DRAM 則係採用 16bits 同步隨機存取記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

(SDRAM, Synchronous DRAM)。當類比訊號處理器的影像資料產生速度為每秒 18 百萬像素 (Mega Sample Per Second, MSPS)，且系統運作頻率為 108MHz 的時候，每 18 個系統時脈就會有 3 筆 16 位元的資料產生 (R, G, B 各一筆，每筆需 6 個時脈)。而當乒乓緩衝區中的任一個緩衝列具有 255 個 16 位元的緩衝區大小時，要將資料填滿一個緩衝列所需的時間就是 255×6 ，也就是 1530 個系統時脈。

第 1 表

	資料量 (單位：字元組)	額外時間 (overhead 依記憶體規格而定)	總時間
DC/SH	256+256	21	533
影像資料寫入	255	14	269
影像資料讀取	255	42	297

請同時參照第 2 圖與此說明文件中之第 1 表，當處理每一個緩衝列的影像資料時，必須存取 DRAM 240 的次數總共是 3 次。第一次是 DC/SH 校正要件的讀取，第二次是影像寫入裝置 276 將校正後影像寫入 DRAM 240，第三次則是影像讀出裝置 278 從 DRAM 240 中讀取校正後影像。其中，第一次所需的時間為 256+256 個系統時脈，第二次與第三次則各花 256 個系統時脈。而存取 DRAM 所需的額外時間 (overhead) 則大約各為 21, 14 與 42 個系統時脈，因此總共所需要的時間約為 1099 個系統時脈。當然，額外時

五、發明說明(9)

間所需的時間長度會因 DRAM 的規格而變。但是由於再加上保留給刷新(refresh)SDRAM 所需的時間，在本例中為 100 個系統時脈，總共所需的時間也僅止於 1199 個系統時脈，因此綽綽有餘的可及時處理完畢。而剩下的時間則可以保留給其他額外的影像後處理程序，例如：顏色轉換(color conversion)，或是濾波(filter)等。

此外，由於可以使用管線(pipeline)的作法，因此校正後影像資料的寫入過程可以與 DC/SH 以及 Gamma 映射所需的時間計算在一起。而由於管線的作法提供了快速運作的能力，因此若以管線處理 255 個 16 位元的資料，僅需要大約 260 個系統時脈。若再加上額外時間，則整個 DC/SH，Gamma 處理，以及校正後影像資料寫入過程所使用的時間應不超過 300 個系統時脈。因此，扣除 DC/SH 校正資料的讀取時間 533 個系統時脈，校正後影像讀取時間 297 個系統時脈，以及 DC/SH，Gamma 處理與校正後影像資料寫入過程所需的 300 個系統時脈，在將下一個緩衝列填滿所需要的 1530 個系統時脈截止前，還有約 400 個系統時脈可以進行其它的影像處理過程。

綜上所述，現將本發明的優點略述如下。本發明利用乒乓緩衝區、快取記憶體等小裝置，以空間換取時間，大大增進了影像校正的處理速度。此外，本架構還可以機動地在掃描器硬體中直接進行如線差補正與圖素包裝等動作，減少電腦主機所需要進行的運算動作，加快影像資料顯示的速率。

雖然本發明已以較佳實施例揭露如上，然其並非用以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1.一種快速掃描器之影像處理架構，適用於一數位控制器處理自一類比訊號處理器所輸出之一影像資料，該影像處理架構包括：

一乒乓緩衝區，該乒乓緩衝區具有複數個緩衝列，任一該些緩衝列用以暫存該影像資料；

一影像資料儲存區，儲存用以校正該影像資料的一校正要件，以及儲存該影像資料根據該校正要件進行校正後所得的一校正後影像；以及

一第一快取記憶體，該第一快取記憶體儲存自該影像資料儲存區取得的該校正要件，並提供該校正要件以使該數位控制器可以根據該校正要件校正該影像資料。

2.如申請專利範圍第1項所述之影像處理架構，更包括一第二快取記憶體，該第二快取記憶體做為線差補正及交錯排列的暫存工作區。

3.一種快速掃描器之影像處理方法，適用於一數位控制器處理自一類比訊號處理器所輸出之一影像資料，該影像處理方法包括：

a. 儲存該影像資料於複數個緩衝列中之任一個；

b. 讀取處理該影像資料所需要之一校正要件至快取記憶體；

c. 根據該校正要件校正該影像資料，並將校正該影像資料時自該類比訊號處理器所接收到之後續的該影像資料儲存於用以儲存該影像資料的該緩衝列以外的任一該些緩衝列中；以及

d. 於該影像資料校正完畢後，接續校正後續的該影像

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

資料。

4.如申請專利範圍第3項所述之影像處理方法，更包括：

儲存經校正後的一校正後影像資料；以及

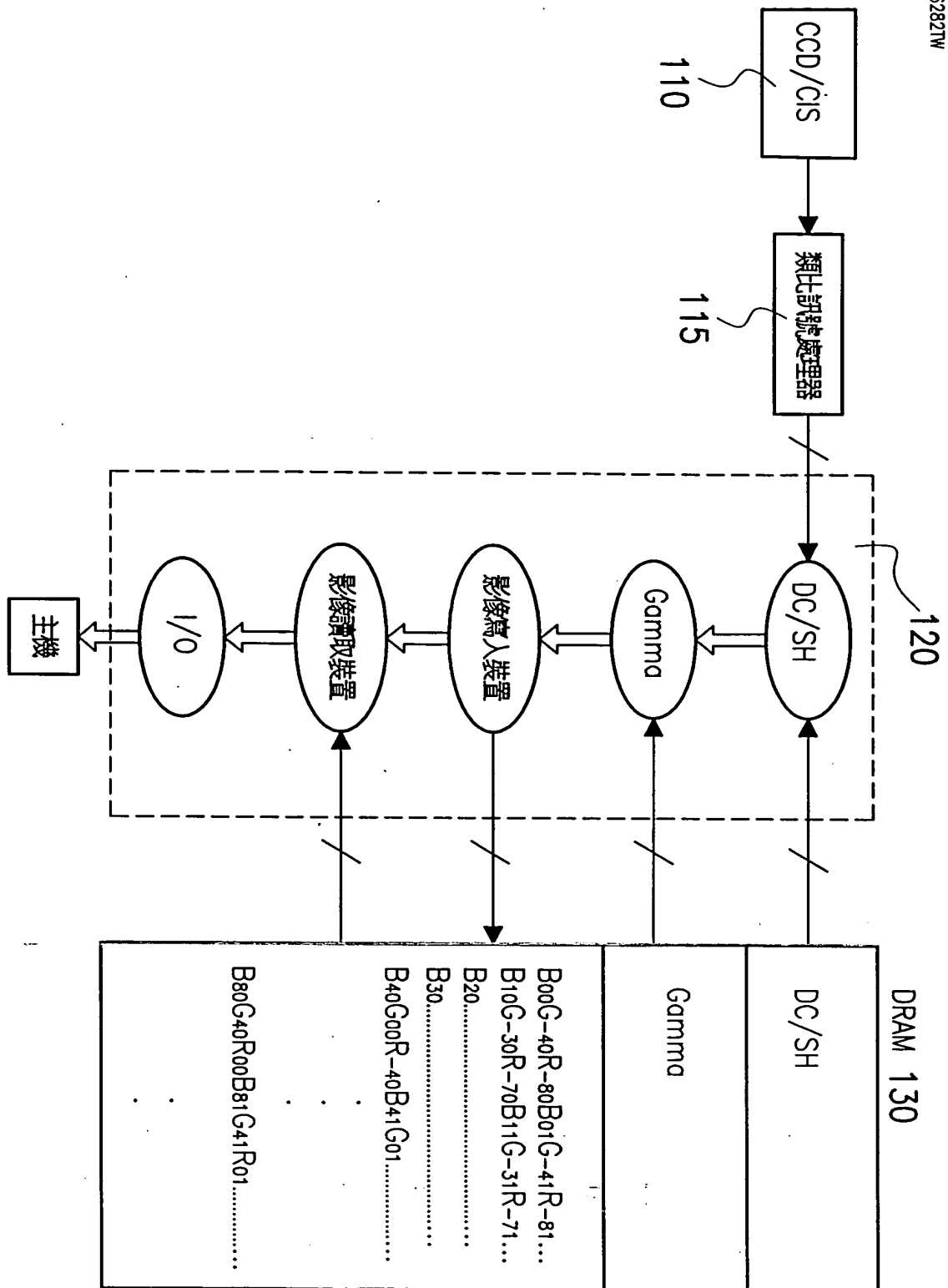
依序讀取該校正後影像資料中相同原色的一光度資料，並將該光度資料依照線差補正及交錯式排列的順序間隔排列。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



第 1 圖



第2圖